

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-010572  
(43)Date of publication of application : 16.01.1998

(51)Int.Cl. G02F 1/136  
G02F 1/133  
G02F 1/1343

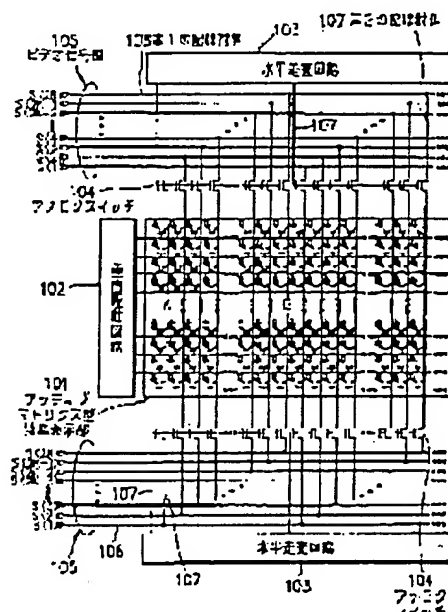
(21)Application number : 08-161809 (71)Applicant : NEC CORP  
(22)Date of filing : 21.06.1996 (72)Inventor : ASADA HIDEKI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To eliminate a gradation by block through an inexpensive manufacture process by equalizing the sum of lengths of upper and lower connection wires, connecting upper and lower analog switches and video signal lines, irrelevantly to places.

SOLUTION: Video signal lines S1-S2K of a lower driving circuit are in array order obtained by moving video signal lines S1-S2K of an upper driving circuit as they are in parallel; and S1-S3... S2K are arrayed sequentially in the upper driving circuit from inside to outside in order and S2K-S2K=2...S1 are arrayed in the lower driving circuit from inside. Consequently, The sum of the lengths of vertical wires formed of a 2nd wire material 107 which connect upper and lower analog switches 104 driving the same data bus line and a video signal line 104 formed of a 1st wire material 106 are always equal irrelevantly to positions in blocks. Therefore, the sum of their resistance values is equal in each group of the upper and lower switches 104, so the signal passing frequency bands of the switches 104 become equal and irrelevant to the positions in the blocks.



## LEGAL STATUS

[Date of request for examination] 21.06.1996  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 2806366  
[Date of registration] 24.07.1998  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-10572

(43) 公開日 平成10年(1998) 1月16日

| (51) IntCl <sup>4</sup> | 識別記号   | 庁内整理番号 | F I           | 技術表示箇所 |
|-------------------------|--------|--------|---------------|--------|
| G 0 2 F 1/136           | 5 0 0  |        | G 0 2 F 1/136 | 5 0 0  |
|                         | 1/133  | 5 5 0  | 1/133         | 5 5 0  |
|                         | 1/1343 |        | 1/1343        |        |

審査請求 有 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願平8-161809

(22) 出願日 平成 8 年 (1996) 6 月 21 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 浅田 秀樹

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

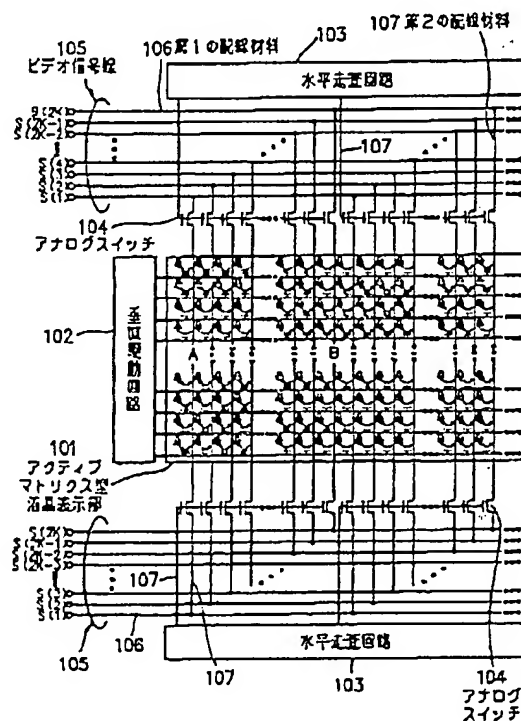
(74) 代理人 弁理士 丸山 隆夫

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 駆動回路内蔵型の液晶表示装置において、安価な製造プロセスで、ブロック毎に発生するグラデーションを防止する。

【解決手段】 同じデータバスラインを駆動する上下のアナログスイッチ 104 と第 1 の配線材料からなるビデオ信号バスラインとの間を結ぶ第 2 の配線材料 107 からなる上下それぞれの垂直接続配線の長さの和を場所によらず等しくすることにより、アナログスイッチ 104 の信号通過周波数帯域を均一にする。



## 【特許請求の範囲】

【請求項1】 複数のアナログスイッチを同時に選択して、複数のビデオ信号をデータバスラインに書き込む水平駆動回路が上下に冗長配置された駆動回路内蔵型の液晶表示装置において、

同じデータバスラインを駆動する上下のアナログスイッチと第1の配線材料からなるビデオ信号線とを結ぶ第2の配線材料からなる上下それぞれの接続配線の長さの和を場所によらず等しくすることによりアナログスイッチの信号通過周波数帯域を表示画面全体にわたって均一にしたことを特徴とする液晶表示装置。

【請求項2】 前記アナログスイッチは薄膜トランジスタからなることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記第1の配線材料はアルミニウムで形成されることを特徴とする請求項1又は2に記載の液晶表示装置。

【請求項4】 前記第2の配線材料は不純物ドーパされた多結晶シリコンで形成されることを特徴とする請求項1から3のいずれかに記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、ディスプレイ、プロジェクタ、テレビジョン等に用いられるアクティブマトリクス型液晶表示装置に関するものである。

## 【0002】

【従来の技術】 液晶表示装置の小型化、低コスト化を図って、液晶表示基板と同じ基板上に周辺駆動回路を集積化する技術の開発が進んでいる。周辺駆動回路は、アクティブマトリクスアレイを形成する薄膜トランジスタ（以下、TFTという。）のゲートを走査する垂直駆動回路と、ビデオ信号をデータバスラインに供給する水平駆動回路とに分けられる。従来、この種の液晶表示装置では周辺駆動回路の歩留り向上と液晶表示部の走査線信号及びデータ線信号の遅延短縮とのために、液晶表示部の上下左右に駆動回路を冗長配置させる場合がある。例えば、特開平2-708号公報には、歩留り向上を目的として駆動回路が上下左右に冗長配置された例が示されている。またこの種の液晶表示装置では、入力ビデオ信号を多相展開し、その転送速度を低くして、周辺駆動回路の要求スピードを軽減する構成が広く採用されている。例えば、1994年5月、エス・アイ・ディー94ダイジェスト、79～82頁（SID DIGEST、pp. 79～82）には、ビデオ信号を128相展開し、それを上下64本ずつに分けて入力する液晶表示装置の例が示されている。

【0003】 図6は駆動回路を内蔵した従来の液晶表示装置の構成の一例を示したものである。この駆動回路内蔵型液晶表示装置は、映像を表示するアクティブマトリクス型液晶表示部101と、垂直駆動回路102と、

水平駆動回路とで構成されている。

【0004】 水平駆動回路は、アナログスイッチ104と、このアナログスイッチ104を順番に選択する水平走査回路103とで構成されている。この液晶表示装置では水平駆動回路をアクティブマトリクス型液晶表示部101の上下に配置し、 $2 \times K$ 個（ $K$ は自然数）に多相展開したビデオ信号線 $S(1) \sim S(2K)$ を介してビデオ信号を入力するようになっている。この場合、 $2 \times K$ 個のアナログスイッチ104のゲート電極は全て共通に水平走査回路103に接続されているので、 $2 \times K$ 個のビデオ信号は水平走査回路103によって同時に選択され、アナログスイッチ104を通して同時にデータバスラインに書き込まれる。この動作を水平方向に順次シフトしながら行なうことにより、1ライン分のビデオ信号がデータバスラインに充電される。

【0005】 1ライン分のデータ信号は垂直駆動回路102によって選択された画素のTFTを通して画素電極に書き込まれる。さらに、この動作を垂直方向に順次シフトしながら行なうことによって、1画面分のデータ信号を画素電極に書き込むことができる。

【0006】 図6に示されるように、従来の液晶表示装置のビデオ信号線 $S(1) \sim S(2K)$ の並び順は上部駆動回路と下部駆動回路との間で線対称になるように配置されている。すなわち、上下駆動回路ともに、内側から外側に向けて $S(1)$ 、 $S(2)$ 、 $S(3)$ 、 $\dots$ 、 $S(2K)$ の順に並んでいる。

【0007】 従って、上部アナログスイッチ104と第1の配線材料106からなる上部ビデオ信号線105とを結ぶ第2の配線材料107からなる上側垂直配線の長さ $L$ と、上部アナログスイッチ104と同じデータバスラインを駆動する下部アナログスイッチ104と第1の配線材料106からなる下部ビデオ信号線105とを結ぶ第2の配線材料107からなる下側垂直配線の長さ $L$ との和 $L$ は、 $L(1) < L(2) < L(3) < \dots < L(2K)$ の順に大きくなっていく。ただし括弧内の番号は上下の垂直配線と接続されるビデオ信号線の番号を示す。従って前記第2の配線材料107からなる上下の垂直配線の抵抗値の和も同じ順で大きくなっていく。

【0008】 図7(a)及び(b)は、それぞれ図6における上部及び下部のビデオ信号線105とアナログスイッチ104とを接続する部分のデバイスの一例を示す平面図である。この図では、ビデオ信号線は $S(1) \sim S(8)$ の8相に展開されている。また、TFTの構造としてプレーナ型が採用されている。

【0009】 図7のa-b線及びc-d線断面をそれぞれ図9(a)及び(b)に示す。

【0010】 図9(a)はTFTの断面構造を示している。この図において、半導体薄膜901には通常多結晶シリコンが用いられる。また、ソース領域902及びドレイン領域903に接続されている第1の配線材料10

6としては通常アルミニウム(A1)金属が用いられる。さらに、ゲート電極を形成している第2の配線材料107は通常不純物ドーブによって低抵抗化された多結晶シリコンの薄膜からなる。TFTは絶縁基板907上に半導体薄膜901を設けて形成され、半導体薄膜901上にゲート絶縁膜904が形成され、その上に第2の配線材料107からなるゲート電極が形成されている。これらの部材は層間膜905で被覆され、その上にパッシベーション膜906が形成されている。

【0011】図9(b)は、絶縁基板907上に第1の配線材料106で形成されたビデオ信号線105と、このビデオ信号線105とアナログスイッチ104とを結ぶ第2の配線材料107で形成された配線とが層間膜905を介して交差する部分の断面を示す。

【0012】

【発明が解決しようとする課題】以上説明したように従来の液晶表示装置においては、同じデータバスラインを駆動する上下のビデオ信号線105とアナログスイッチ104との間を結ぶ垂直配線の長さの和が寄込走査の単位となる各ブロック内で相互に異なり、従ってその抵抗も異なる。例えば、ビデオ信号線105とアナログスイッチ104とを結ぶ配線の材料として不純物ドーブされた多結晶シリコン薄膜を用いる場合には、配線の抵抗が最大で数百～数百k $\Omega$ となる。この値はアナログスイッチ104のオン抵抗値と同等以上の高さであり、無視できない。その結果、アナログスイッチ104の信号通過周波数帯域に大きな影響を及ぼし、信号通過周波数帯域がブロック内で不均一となって、ブロック毎にグラデーション(濃淡)が発生するという問題が生じる。

【0013】図8は、ビデオ信号を12相に展開した場合に、1ブロックの両端におけるアナログスイッチの信号通過周波数帯域を示すグラフである。同図において、曲線C3及びC4はそれぞれ図6に示されたデータバスラインC及びDを駆動するアナログスイッチ104を通過した信号の周波数とその電圧利得との関係を示している。このグラフから、データバスラインDを駆動するアナログスイッチの信号通過周波数帯域が、データバスラインCを駆動するアナログスイッチの信号通過周波数帯域に比べて一桁以上低くなっていることが分かる。この差は、ビデオ信号線105とアナログスイッチ104とを結ぶ配線の抵抗値の相異によるものである。

【0014】以上説明したように、図9のような従来のTFT構造を採用した場合には、ブロック毎にグラデーションが生じる。この点、ビデオ信号線105とアナログスイッチ104とを結ぶ垂直配線を低抵抗のA1金属で形成すれば、配線長による抵抗値の相異が小さくなり、アナログスイッチの信号通過周波数帯域が均一となって、前記グラデーションを抑えることができる。

【0015】しかしながら、その場合にはビデオ信号線105と、このビデオ信号線105をアナログスイッチ

104へ接続する垂直配線とを同じ材料で形成するために、例えばA1を2層にするプロセスが必要となり、液晶表示装置の製造コストが高くなってしまいうという別の問題が生じる。

【0016】本発明は係る従来の問題点に鑑みなされたものであり、その目的とする処は安価な製造プロセスでブロック毎のグラデーションをなくすることが可能な駆動回路内蔵型液晶表示装置を提供することである。

【0017】

【課題を解決するための手段】本発明に係る液晶表示装置は、複数のアナログスイッチを同時に選択して複数のビデオ信号をデータバスラインに書き込む水平駆動回路が上下に冗長配置された駆動回路内蔵型の液晶表示装置において、同じデータバスラインを駆動する上下のアナログスイッチと第1の配線材料からなるビデオ信号線とを結ぶ第2の配線材料からなる上下それぞれの接続配線の長さの和を場所によらず等しくすることによりアナログスイッチの信号通過周波数帯域を表示画面全体にわたって均一にしたことを特徴とする。

【0018】本発明に係る液晶表示装置は前記アナログスイッチが薄膜トランジスタからなる。

【0019】本発明に係る液晶表示装置は前記第1の配線材料がアルミニウムからなる。

【0020】本発明に係る液晶表示装置は前記第2の配線材料が多結晶シリコンからなる。

【0021】

【作用】本発明に係る液晶表示装置では、同じデータバスラインを駆動する上下のアナログスイッチと第1の配線材料からなるビデオ信号線とを結ぶ第2の配線材料からなる上下それぞれの垂直配線の長さの和が場所によらず等しくなるので、その抵抗値の和も上下のアナログスイッチの各組において等しい。従って、アナログスイッチの信号通過周波数帯域が等しくなり、ブロック内の位置により異なることがない。

【0022】

【発明の実施の形態】次に、本発明の実施の形態について図面に基つき詳細に説明する。図面中、同様な部材には同じ番号を用いる。

【0023】図1に本発明の第1の実施の形態に係る駆動回路内蔵型液晶表示装置の回路構成を示す。

【0024】この駆動回路内蔵型液晶表示装置は、従来同様に、映像を表示するアクティブマトリクス型の液晶表示部101と、垂直駆動回路102と、液晶表示部101の上下に冗長配置された水平駆動回路とで構成されている。各水平駆動回路は、所定のブロックに組分けされたアナログスイッチ104と、これらのアナログスイッチ104をブロック毎に選択する水平走査回路103とで構成されている。

【0025】各水平駆動回路のアナログスイッチ104の各ブロックには $2 \times K$ 個(Kは自然数)に多相展開し

たビデオ信号 $S(1) \sim S(2K)$ が入力される。各ブロックにおける $2 \times K$ 個のアナログスイッチ104のゲート電極は全て共通に水平走査回路103に接続され、従って上記 $2 \times K$ 個のビデオ信号は水平走査回路103によって同時に選択され、そのブロックのアナログスイッチ104を通して対応する表示ブロックのデータバスラインへ同時に書き込まれる。このブロック毎の動作を水平方向に順次シフトしながら行なうことにより、1ライン分のビデオ信号が表示部101全体のデータバスラインに充電される。

【0026】この1ライン分のデータ信号は、垂直駆動回路102によって選択された画素のTFTを通して画素電極へ書き込まれる。この書き込み動作を垂直方向に順次シフトしながら行なうことにより、1画面分のデータ信号が表示部101全体の画素電極に書き込まれる。

【0027】以上説明した第1の実施の形態に係る液晶表示装置は、上下に配置されたビデオ信号線105の並び順が従来の液晶表示装置と異なる。すなわち、第1の実施の形態においては、図1に示すように、下部駆動回路のビデオ信号線 $S(1) \sim S(2K)$ が、上部駆動回路のビデオ信号線 $S(1) \sim S(2K)$ をそのまま下に並行移動した並び順になっていて、上部駆動回路では内側から外側へ順に $S(1)$ 、 $S(2)$ 、 $S(3)$ 、 $\dots$ 、 $S(2K)$ と並んでおり、下部駆動回路では内側から外側へ $S(2K)$ 、 $S(2K-1)$ 、 $S(2K-2)$ 、 $\dots$ 、 $S(1)$ の順に並んでいる。

【0028】このため、同じデータバスラインを駆動する上下のアナログスイッチ104と第1の配線材料106でできたビデオ信号線105との間を結ぶそれぞれ第2の配線材料107でできた垂直配線の長さの和がブロック内の位置によらず常に等しい。

【0029】図2(a)及び(b)に、図1の液晶表示装置のTFTの構造をプレーナ型とした場合の上部及び下部ビデオ信号線105とアナログスイッチ104との間を接続関係を示し、図9(a)及び(b)にそれぞれ図2(a)のa-b線及びc-d線断面を示す。

【0030】図2(a)及び(b)の構成ではビデオ信号線105が $S(1) \sim S(8)$ の8相に展開されている。ここで、ビデオ信号線 $S(4)$ を例にとって上部ビデオ信号線105から下部ビデオ信号線105までの接続構造を説明する。

【0031】図2(a)に示す通り、上部ビデオ信号線 $S(4)$ は水平方向に延在する第1の配線材料106で形成されコンタクト4aによって第2の配線材料107で形成された上部垂直配線に接続される。この垂直配線はコンタクト4bによって第1の配線材料106で形成された上部垂直導体に接続され、さらにコンタクト4cによって上部アナログスイッチ104のソース領域902に接続される。上部アナログスイッチ104内は、図9(a)に示すように、前記ソース領域902が半導体

薄膜901のチャンネル部を介しドレイン領域903とスイッチング接続可能となっており、このドレイン領域903がコンタクト4dによって第1の配線材料106で形成されたデータバスラインに接続されている。このデータバスラインは図1に示す液晶表示部101を通り、図2(b)に示される通りコンタクト4eによって下部アナログスイッチ104のドレイン領域903に接続される。下部アナログスイッチ104内では、図9(a)の場合と同様に、ドレイン領域903が半導体薄膜901のチャンネル部を介しソース領域902とスイッチング接続可能になっており、このソース領域902がコンタクト4fによって第1の配線材料106で形成された下部垂直導体に接続されている。この導体はコンタクト4gによって第2の配線材料107で形成された下部垂直配線と接続され、さらにコンタクト4hによって第1の配線材料106で形成された下部ビデオ信号線 $S(4)$ に接続される。上記接続構造は他のビデオ信号線 $S(1) \sim S(3)$ 、 $S(5) \sim S(2K)$ の場合も同じである。

【0032】以上において、半導体薄膜901の材料には通常多結晶シリコンが用いられるが、その他の半導体材料、例えば非晶質シリコンや、カドミウムセレン等を用いてもよい。また、ソース領域902及びドレイン領域903に接続されている第1の配線材料106には通常アルミニウム(A1)金属が用いられるが、その他の金属材料、例えばクロムCr、タングステンW、モリブデンMo、チタンTi、タンタルTa等を用いることができ、あるいはそれらのシリサイド、例えばクロムシリサイド $CrSi_2$ 、タングステンシリサイド $WSi_2$ 、モリブデンシリサイド $MoSi_2$ 、チタンシリサイド $TiSi_2$ 、タンタルシリサイド $TaSi_2$ 等を用いてもよい。

【0033】また、第2の配線材料107からなるゲート電極には、通常不純物ドーブによって低抵抗化された多結晶シリコン薄膜が用いられるが、その他の金属配線材料、例えばAl、Cr、W、Mo、Ti、Ta等の薄膜を用いることができ、あるいは不純物ドーブされた多結晶シリコン薄膜とそれら金属との2層構造にすることも可能であり、さらには上記金属のシリサイド、例えば $CrSi_2$ 、 $WSi_2$ 、 $MoSi_2$ 、 $TiSi_2$ 、 $TaSi_2$ 等の薄膜を用いてもよい。

【0034】図3は、図1の液晶表示装置の1ブロックの両端におけるアナログスイッチの信号通過周波数帯域を示すグラフである。

【0035】図3中、曲線C1及びC2はそれぞれ図1に示されたデータバスラインA及びBを駆動するアナログスイッチ104を通過する信号の周波数に対する電圧利得の変化を示す。

【0036】図3のグラフから、データバスラインAを駆動するアナログスイッチの信号通過周波数帯域と、デ

ータバスラインBを駆動するアナログスイッチの信号通過周波数帯域とがほとんど一致していることがわかる。

【0037】この点、上部アナログスイッチ104とビデオ信号線105との間を第2の配線材料107で結ぶ配線の長さ、上部アナログスイッチ104と同じデータバスラインを駆動する下部アナログスイッチ104とビデオ信号線105との間を第2の配線材料107で結ぶ配線の長さが異なるので、同じデータバスラインを駆動する上下のアナログスイッチ104の信号通過周波数帯域もその分異なる。そこで、設計に際しては上部アナログスイッチ104と下部アナログスイッチ104との間で信号通過周波数帯域の平均をとる。

【0038】前記上部アナログスイッチ104とビデオ信号線105との間を結ぶ第2の配線材料107で形成された配線の長さ、上部アナログスイッチ104と同じデータバスラインを駆動する下部アナログスイッチ104とビデオ信号線105との間を結ぶ第2の配線材料107で形成された配線との長さの和は全て等しいので、それぞれのアナログスイッチの信号通過周波数帯域の平均も等しくなる。

【0039】このように、第1の実施の形態の液晶表示装置ではアナログスイッチの信号通過周波数帯域がどの場所においても等しくなり、従来の液晶表示装置で生じていたブロック毎のグラデーションを完全になくすることができる。

【0040】図4(a)及び(b)はそれぞれ本発明の第2の実施の形態に係る液晶表示装置の上部駆動回路及び下部駆動回路の平面図である。

【0041】この第2の実施の形態に係る液晶表示装置は、第1の実施の形態におけるTFTの構造を順スタガ型としたもので、アナログスイッチ104とを接続する部分のデバイス平面図を示したものである。図4(a)及び(b)でも、図2と同様に、ビデオ信号線105がS(1)～S(8)の8相に展開されており、上部と下部のビデオ信号線S(1)～S(8)の並び順は平行移動の関係にある。従って、アナログスイッチの信号通過周波数帯域がどの場所においても等しくなる。

【0042】図4のe-f線及びg-h線断面をそれぞれ図10(a)及び(b)に示す。

【0043】図10(a)及び(b)中、904はゲート絶縁膜であり、906はパッシベーション膜であり、907は絶縁基板である。

【0044】ここで図4及び図10を参照し、ビデオ信号線S(4)を例にとって上部ビデオ信号線105から下部ビデオ信号線105に至る信号線の接続構造を説明する。

【0045】図4(a)に示す通り、上部ビデオ信号線S(4)は水平方向に延在する第1の配線材料106で形成され、コンタクト4iによって第2の配線材料107で形成された上部垂直配線に接続され、さらにコンタ

クト4jを有する上部アナログスイッチ104に接続される。すなわち図10(a)に示すように垂直配線が半導体薄膜901に接続され、この半導体薄膜901が第2の配線材料107で形成された導体とコンタクト4kを介し第1の配線材料106で形成されたデータバスラインに接続される。このデータバスラインは図1に示す液晶表示部101を通り、図4(b)に示される通りコンタクト4lにより、下部アナログスイッチ104に接続される。下部アナログスイッチ104では、図10(a)に示すように、前記データバスラインが第2の配線材料107で形成された導体と半導体薄膜901とに接続しており、この半導体薄膜901はコンタクト4mによって第1の配線材料106で形成された導体と第2の配線材料107で形成された下部垂直配線と接続する。この下部垂直配線はコンタクト4nによって第1の配線材料106で形成された下部ビデオ信号線S(4)に接続される。上記接続構造は他のビデオ信号線S(1)～S(3)、S(5)～S(2K)の場合も同じである。

【0046】図10(a)において、半導体薄膜901の材料には通常多結晶シリコンが用いられるが、その他の半導体材料、例えば非晶質シリコンや、カドミウムセレン等を用いてもよい。また、第1の配線の材料106には通常アルミニウム(A1)金属が用いられるがその他の金属材料、例えばクロムCr、タングステンW、モリブデンMo、チタンTi、タンタルTa等を用いることができ、あるいはそれらのシリサイド、例えばクロムシリサイドCrSi<sub>2</sub>、タングステンシリサイドWSi<sub>2</sub>、モリブデンシリサイドMoSi<sub>2</sub>、チタンシリサイドTiSi<sub>2</sub>、タンタルシリサイドTaSi<sub>2</sub>等を用いてもよい。

【0047】また、ゲート電極及びソース電極とドレイン電極との配線を形成している第1の配線材料106としては、通常、不純物ドーパされた多結晶シリコン薄膜とA1金属との2層構造が採用される。また、その、A1金属の代わりに、その他の金属配線材料、例えば、Cr、W、Ti、Ta等を用いることもできる。さらに、第1の配線材料106として、それらの金属のシリサイド例えば、CrSi<sub>2</sub>、WSi<sub>2</sub>、MoSi<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>等を用いてもよい。

【0048】ソース電極及びドレイン電極を形成している第2の配線の材料107には、通常不純物ドーパによって低抵抗化された多結晶シリコン薄膜又は不純物ドーパされた多結晶シリコン薄膜とA1、Cr、W、Mo、Ti、Ta等の金属との2層構造にすることも可能である。さらには、不純物ドーパされた多結晶シリコン薄膜と、CrSi<sub>2</sub>、WSi<sub>2</sub>、MoSi<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>等の金属シリサイドとの2層構造にすることも可能である。

【0049】一方、図10(b)には、第1の配線材料



106で形成されたビデオ信号線105と、そのビデオ信号線105とアナログスイッチ104とを結ぶ第2の配線材料107で形成される配線とが半導体薄膜901及びゲート絶縁膜904を介して交差する部分の断面構造が示されている。

【0050】図10(b)に示すように、第1の配線材料106で形成されるビデオ信号線105には通常抵抗の低い金属、すなわちAl金属が用いられ、そのビデオ信号線105とアナログスイッチ104とを結ぶ第2の配線材料107で形成される配線には、第2の配線材料107、すなわち不純物ドーパされた多結晶シリコン薄膜が用いられる。

【0051】このように設計された第2の実施の形態の液晶表示装置における1ブロックの両端のアナログスイッチの信号通過周波数帯域は、図3に示した特性とほとんど一致する。

【0052】図5(a)及び(b)はそれぞれ本発明の第3の実施の形態に係る液晶表示装置の上部駆動回路及び下部駆動回路の平面図である。

【0053】この第3の実施の形態に係る液晶表示装置は、第1の実施の形態におけるTFTの構造を逆スタガ型としたものである。図5(a)及び(b)でも、図2と同様に、ビデオ信号線105がS(1)～S(8)の8相に展開されており、上部と下部のビデオ信号線S(1)～S(8)の並び順は平行移動の関係にある。従って、アナログスイッチの信号通過周波数帯域がどの場所においても等しくなる。

【0054】図5のi-j線及びk-m線断面をそれぞれ図11(a)及び(b)に示す。

【0055】図11(a)及び(b)中、904はゲート絶縁膜であり、906はバッシベーション膜であり、907は絶縁基板である。

【0056】ここで図5及び図11を参照し、ビデオ信号線S(4)を例にとって上部ビデオ信号線105から下部ビデオ信号線105に至る信号線の接続構造を説明する。

【0057】図5(a)に示す通り、上部ビデオ信号線S(4)は水平方向に延在する第1の配線材料106で形成されコンタクト4pによって第2の配線材料107で形成された上部垂直配線に接続され、さらに上部アナログスイッチ104に接続される。すなわち図11

(a)に示すように垂直配線が半導体薄膜901に接続され、この半導体薄膜901が第2の配線材料107で形成された導体と接続する。この導体はコンタクト4qにより、データバスラインに接続する。このデータバスラインは図1に示すような液晶表示部を通り、図4

(b)に示される通りコンタクト4rにより、第2の配線材料107で形成された導体に接続される。この導体は下部アナログスイッチ104と接続する。下部アナログスイッチ104では、図10(a)に示すように第2

の配線材料107からなる導体が半導体薄膜901に接続しており、この半導体薄膜901は第2の配線材料107で形成された下部垂直配線と接続する。この下部垂直配線はコンタクト4sによって第1の配線材料106で形成された下部ビデオ信号線S(4)に接続される。上記接続構造は他のビデオ信号線S(1)～S(3)、S(5)～S(2K)の場合も同じである。

【0058】図11(a)において、半導体薄膜901の材料として、通常多結晶シリコンが用いられているがその他の半導体材料、例えば非晶質シリコンや、カドミウムセレンを用いてもよい。

【0059】また、ソース電極及びドレイン電極を形成している第2の配線材料107には、通常不純物ドーパによって低抵抗化された多結晶シリコン薄膜が用いられるが、Al、Cr、W、Mo、Ti、Ta等の金属材料を用いることができる。また、その多結晶シリコン薄膜と前記金属との2層構造を用いてもよい。さらに、それらの金属材料の代わりに、CrSi<sub>2</sub>、WSi<sub>2</sub>、MoSi<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>等の金属シリサイドを用いてもよい。

【0060】一方、ゲート電極を形成している第1配線の材料106には、通常Al、Cr、W、Mo、Ti、Ta等の金属材料や、それらの金属のシリサイド、CrSi<sub>2</sub>、WSi<sub>2</sub>、MoSi<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>等を用いることができる。

【0061】また、図11(b)には第1の配線材料106で形成されるビデオ信号線105と、そのビデオ信号線105とアナログスイッチ104とを結ぶ第2の配線材料107で形成される配線とがゲート絶縁膜904を介して交差する部分の断面構造が示されている。

【0062】図11(b)に示すように、第1の配線材料106で形成されるビデオ信号線105には通常抵抗の低い金属、例えばAl金属が用いられ、そのビデオ信号線105とアナログスイッチ104とを結ぶ配線には、ソース・ドレイン電極を形成する第2の配線材料107、すなわち不純物ドーパされた多結晶シリコンが用いられる。

【0063】以上の設計により、1ブロックの両端における上下それぞれのアナログスイッチ104の信号通過周波数帯域は図3と同様な特性となる。

【0064】

【発明の効果】本発明に係る液晶表示装置、上部のアナログスイッチとビデオ信号線とを結ぶ第2の配線材料で形成された配線の長さ、前記上部のアナログスイッチと同じデータバスラインを駆動する下部のアナログスイッチとビデオ信号線とを結ぶ第2の配線材料で形成された配線の長さとの和が各ブロックで等しく設計されているので、各アナログスイッチの信号通過周波数帯域を等しくすることができ、安価な製造プロセスで、ブロック毎に発生するグラデーションをなくすることができる。

## 【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る液晶表示装置の回路構成を示す図である。

【図2】図1の液晶表示装置の要部拡大平面を示す図である。

【図3】図1の液晶表示装置の信号通過周波数帯域を示すグラフである。

【図4】本発明の第2の実施の形態に係る液晶表示装置の要部拡大平面図である。

【図5】本発明の第3の実施の形態に係る液晶表示装置の要部拡大平面図である。

【図6】従来の液晶表示装置の回路構成を示す図である。

【図7】図6の液晶表示装置の要部拡大平面を示す図である。

【図8】図6の液晶表示装置の信号通過周波数帯域を示す図である。

【図9】図2及び図7のa-b線及びc-d線断面図である。

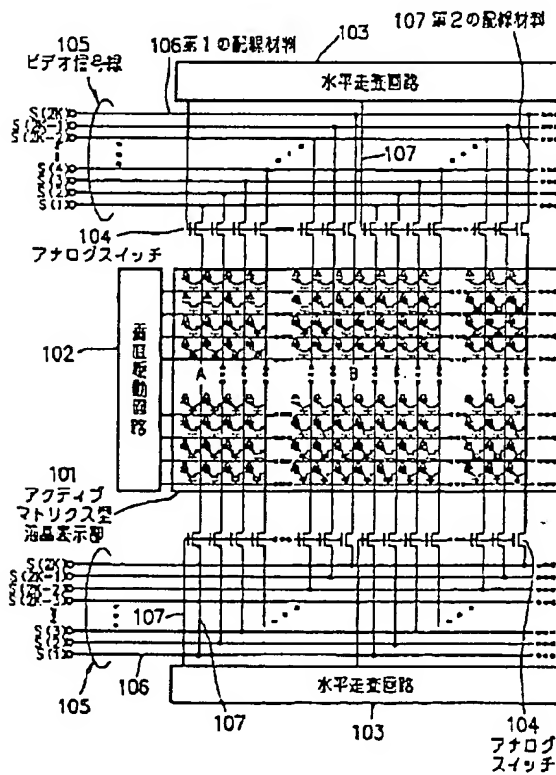
【図10】図4のe-f線及びg-h線断面図である。

【図11】図5のi-j線及びk-m線断面図である。

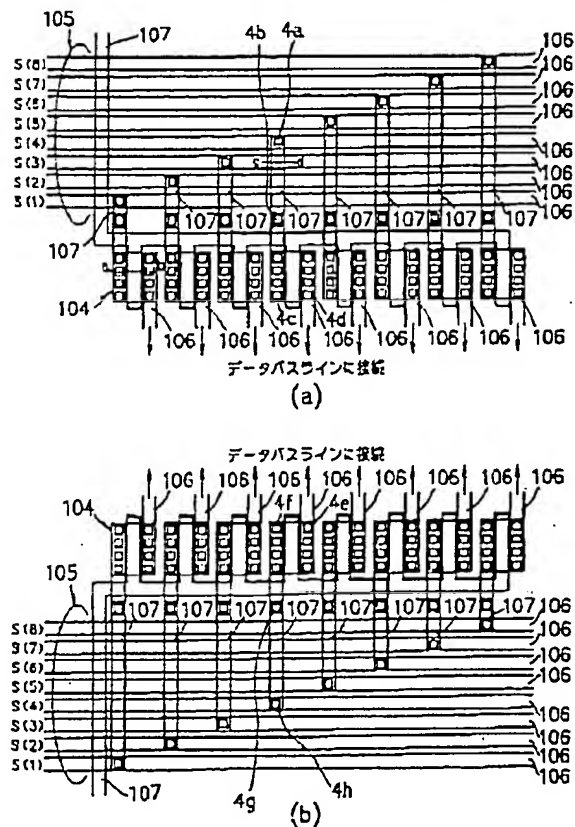
## 【符号の説明】

- 101 アクティブマトリクス型液晶表示部
- 102 垂直駆動回路
- 103 水平走査回路
- 104 アナログスイッチ
- 105 ビデオ信号線
- 106 第1の配線材料
- 107 第2の配線材料
- 901 半導体薄膜
- 902 ソース領域
- 903 ドレイン領域
- 904 ゲート絶縁膜
- 905 層間膜
- 906 パッシベーション膜
- 907 絶縁基板
- 4a~4n コンタクト
- 4p~4s コンタクト

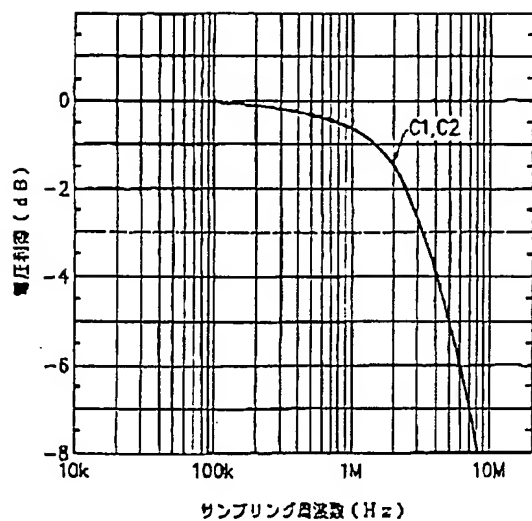
【図1】



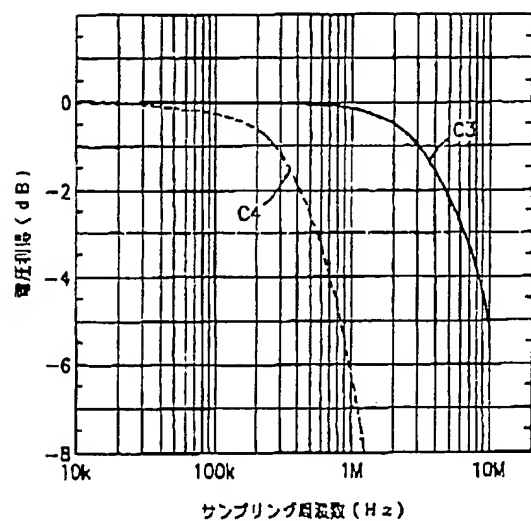
【図2】



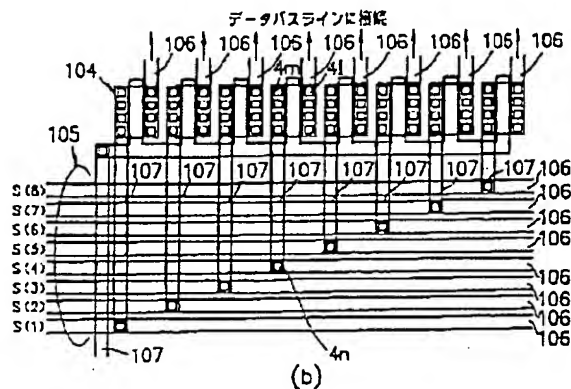
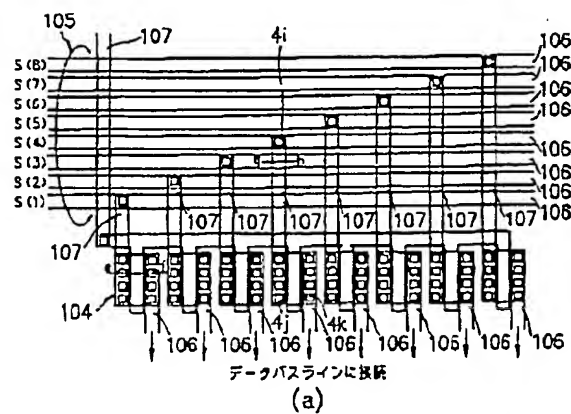
【圖 3】



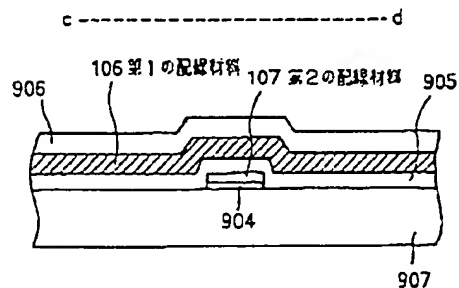
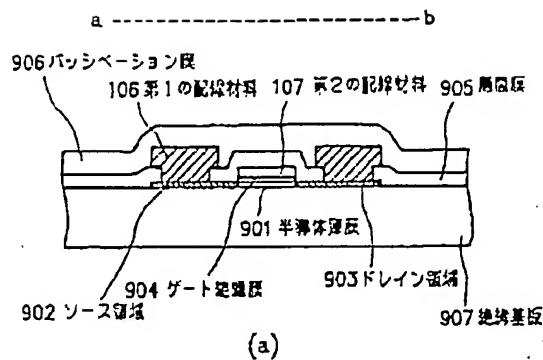
【圖8】



【图4】

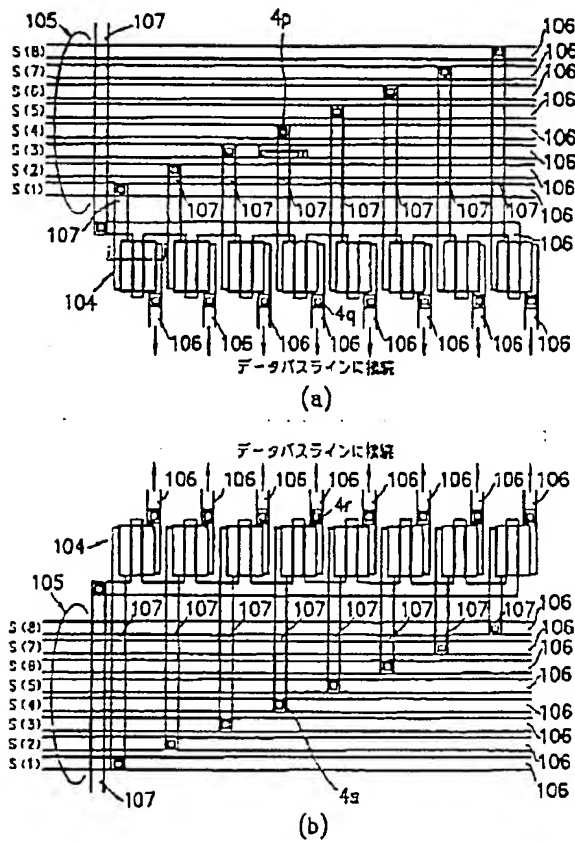


【圖9】

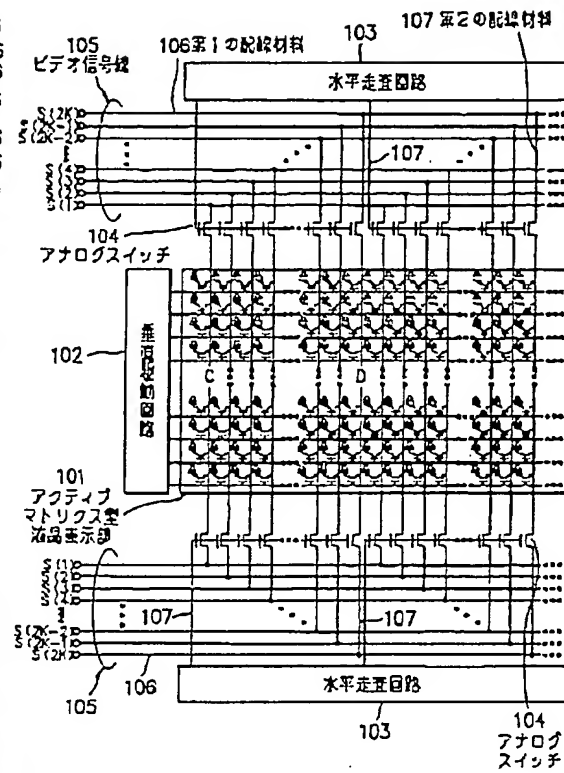


(b)

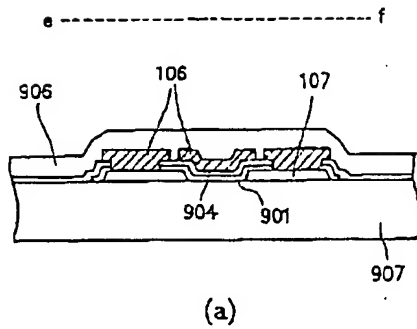
【図5】



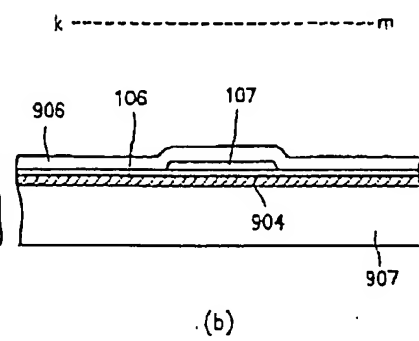
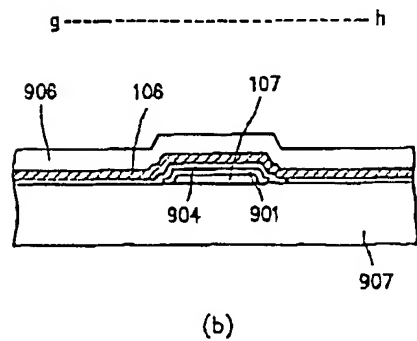
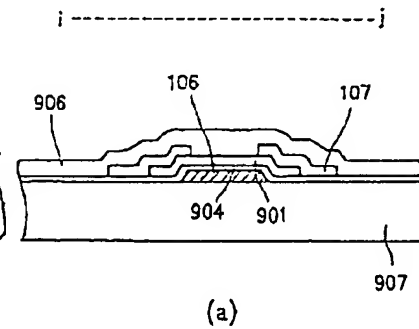
【図6】



【図10】



【図11】



(10)

特開平10-10572

【図7】

